

Original document

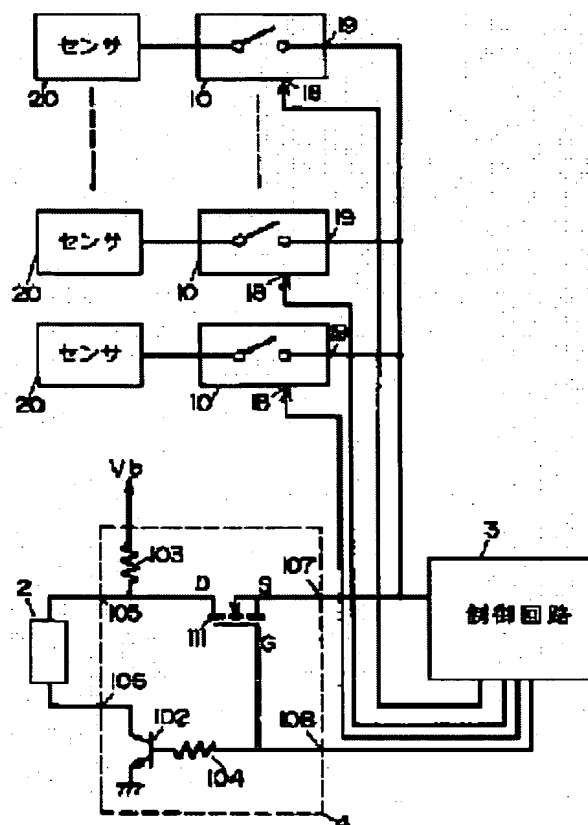
INPUT SWITCHING CIRCUIT

Patent number: JP5315920
 Publication date: 1993-11-26
 Inventor: TAROUMARU MAKOTO
 Applicant: MATSUSHITA ELECTRIC IND CO LTD
 Classification:
 - international: H03K17/687; H03K17/56; H03K17/693
 - european:
 Application number: JP19920117193 19920511
 Priority number(s): JP19920117193 19920511

[View INPADOC patent family](#)
[Report a data error here](#)

Abstract of JP5315920

PURPOSE: To prevent an input switching circuit, which is not an operation object, from being turned on even when another input switching circuit is ON by constituting a circuit so as to simultaneously turn off also MOSFET and a bipolar transistor (TR) when the circuit is turned off. **CONSTITUTION:** When a control input terminal 108 is 0V, the bipolar TR 102 is cut off and the gate potential of the MOSFET 111 is 0V. When an output terminal 107, i.e., the source potential of the MOSFET 111 is higher than 0V and less than DC power supply voltage V_b , the drain potential of the MOSFET 111 is higher than the source potential, the gate potential is negative against the source potential and no channel is formed. Since between the substrate and drain of the MOSFET 111 is reversely biased since the potential of the drain is higher than that of the substrate, no current flows into the substrate terminal of the MOSFET 111. Thereby impedance between the drain and source of the MOSFET 111 becomes high impedance and the input switching circuit 4 is turned to an off state.

Data supplied from the *esp@cenet* database - Worldwide

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-315920

(43)公開日 平成5年(1993)11月26日

(51)IntCl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 17/687				
17/56	F	9184-5 J		
17/693	A	8221-5 J		
		8221-5 J	H 0 3 K 17/ 687	G

審査請求 未請求 請求項の数 1 (全 5 頁)

(21)出願番号 特願平4-117193

(22)出願日 平成4年(1992)5月11日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 太郎丸 眞

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

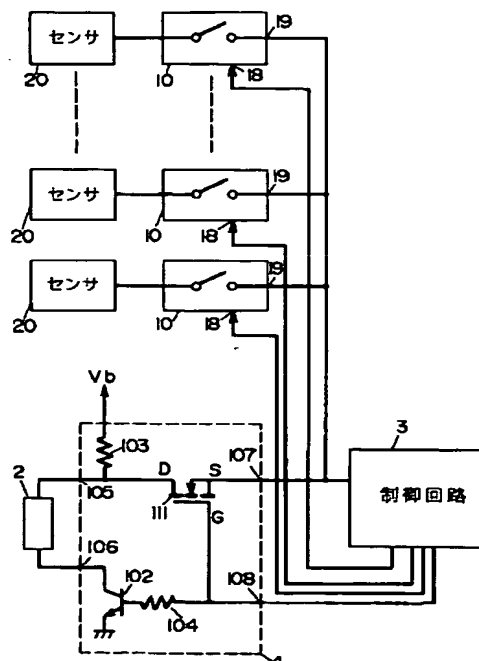
(74)代理人 弁理士 小鍛冶 明 (外2名)

(54)【発明の名称】 入力切換回路

(57)【要約】

【目的】 同じ構成の入力切換回路が複数ある場合に、一つの入力切換回路が作動中にその影響を受けて他の入力切換回路が導通してしまうことを防止する。

【構成】 サブストレートがソースに内部接続された一般的なエンハンスメント型FETのゲートとトランジスタのベースを共に制御信号入力端子に接続し、FETのドレインを第1の入力端子に接続すると共にソースを出力端子に接続し、トランジスタのコレクタを第2の入力端子に接続すると共にエミッタを接地する構成とすることにより、前記第1の入力端子と前記第2の入力端子にセンサー等を接続すると、FETとトランジスタが直列に接続されることになり、FETとトランジスタを前記制御信号入力端子からの制御信号によって同時にオン・オフすることができるため、他の入力切換回路がオンになっていても、動作対象でない入力切換回路はオンにならない。



【特許請求の範囲】

【請求項1】第1及び第2の入力端子と、出力端子と、制御信号入力端子とを有し、前記第1の入力端子にドレインを接続すると共に前記出力端子にソースを接続した電界効果トランジスタと、前記第2の入力端子にコレクタを接続すると共にエミッタを接地したトランジスタを有し、前記電界効果トランジスタのゲートと前記トランジスタのベースを共に前記制御信号入力端子に接続することにより、前記電界効果トランジスタと前記トランジスタを前記制御信号入力端子からの制御信号によって同

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、センサー出力等の複数のアナログ信号入力を切り換えて出力する入力切換回路に関するものである。

【0002】

【従来の技術】温度、光量等のアナログ量をサーミスタ、フォトダイオード等のセンサーで検知し、これらをもとに何らかの制御を行なう制御装置に於いては、センサーで得られた検出値をAD変換器によってディジタル量に変換し、これをマイクロコンピュータによって処理し、制御を行なう場合が多い。しかし、AD変換器は回路規模が比較的大きく、コストが大きくなるので、多数のアナログ量を検知する場合にはAD変換器を1個または4個程度とし、その入力をリレー（継電器）や電界効果トランジスタ等のアナログスイッチによる入力切換回路で切り換える構成としたものが多い。特に、無接点化による機器の信頼性向上や機器の小型化の観点から、後者によって構成される場合が多い。

【0003】以下、図面を参照しながら、従来の入力切換回路について説明する。図3は従来の入力切換回路の回路図及び周辺回路の構成図である。図3に於いて、1は入力切換回路であって、アナログスイッチとして動作するエンハンスメント型のNチャンネルMOS型電界効果トランジスタ（以下、「MOSFET」と称す。）101と、直流電源を接続するためのプルアップ抵抗103、入力端子105及び106、出力端子107、制御入力端子108を有する。2は、例えば温度センサーとしてのサーミスタや光量センサーとしてのフォトダイオード等より構成され、入力端子105及び106間に接続されるセンサーである。3は、例えばAD変換器やマイクロコンピュータ等で構成され、センサー2で検知した検知信号をもとに所望の制御を行なう制御回路である。10は入力切換回路1と同一の構成からなる入力切換回路であって、それぞれ入力端子17、制御入力端子18を有する。そして、入力切換回路1及び10は共にセンサー2及び20の出力に応じた電圧（アナログ量）を出力端子17及び107に生じさせるオン状態と、出力端子17及び107が高インピーダンスとなるオフ状

態の2つの状態を持つ。これら2つの状態は、制御入力端子18及び108の電圧によって切り換えられ、制御入力端子18及び108が直流電源電圧Vb（例えば+5V）の時にオン状態、0V付近の時はオフ状態となる。

【0004】以上のように構成された従来の入力切換回路について、以下その動作を説明する。例えば、センサー2を動作させる場合は、制御回路3からの信号により、入力切換回路1の制御入力端子108がハイレベルとなる。すると、センサー2によって得られた検知信号が制御回路3へ出力される。つまり検知対象の1つのセンサー2に対応する入力切換回路1のみをオン状態とし、他の入力切換回路10を全てオフ状態とすることにより、検知信号を制御回路3に出力する。そして検知すべきセンサー2及び20に応じてオン状態にする入力切換回路1及び10を次々に切り換え、必要な検知信号が制御回路3へ出力される。

【0005】次に、入力切換回路1について説明する。入力切換回路1を構成するMOSFET101はサブストレートが接地されているエンハンスメント型である。従って、入力端子105及び出力端子107の電圧が0Vより高く、Vb未満の範囲ならばMOSFET101のサブストレート端子に電流が流れることはない。そして、制御入力端子108が0Vの時は、MOSFET101のゲート電位はドレイン、ソース及びサブストレートのいずれよりも低くなり、チャネルが形成されない。故に、ドレイン・ソース間のインピーダンスは高インピーダンスとなり、入力切換回路1はオフ状態となる。

【0006】一方、直流電源電圧Vbはプルアップ抵抗103によって電圧降下を起こしてドレインにかかるので、制御入力端子108がVbの時は、MOSFET101のゲート電位はドレイン、ソース及びサブストレートのいずれよりも高くなり、チャネルが形成される。故に、ドレイン・ソース間のインピーダンスは低インピーダンスとなり、入力切換回路1はオン状態となる。こうして、センサー2に生じた電圧が制御回路3へ伝達される。

【0007】

【発明が解決しようとする課題】しかしながら、上記した従来の入力切換回路1に於いて、アナログスイッチとしてサブストレートがソースに内部接続された一般的なエンハンスメント型MOSFETを用いると、入力切換回路1が非動作状態にあるときでも、動作中の入力切換回路10の出力端子17の電圧が入力切換回路1の出力端子107を介してMOSFETのソース及びサブストレートにかかるため、サブストレート・ドレイン間が順バイアスとなり、動作対象ではないMOSFETも導通してしまう。

【0008】それ故、従来のようなセンサー2の入力端子106が接地されている構成では、サブストレートが

接地されている特殊なエンハンスメント型MOSFETを用いなければならず、コストが大きくなる。

【0009】更に、サブストレートが接地されている特殊なエンハンスメント型MOSFETにあっても、オン状態に於いてサブストレート・チャネル間が逆バイアスされるため、サブストレート・チャネル間に空乏層を生じてチャネルがあまり広がらず、オン抵抗すなわちドレイン・ソース間のインピーダンスが十分に低くならない。このため、制御回路3の入力インピーダンスが低い場合にはドレイン・ソース間で電圧降下を生じ、センサー2の検知量に誤差が出るという課題を有していた。

【0010】

【課題を解決するための手段】本発明は上記課題を解決するために、電界効果トランジスタのゲートとトランジスタのベースを共に制御信号入力端子に接続し、前記電界効果トランジスタのドレインを第1の入力端子に接続すると共にソースを出力端子に接続し、前記トランジスタのコレクタを第2の入力端子に接続すると共にエミッタを接地する構成とした。

【0011】

【作用】上記のような構成を採ることにより、前記第1の入力端子と前記第2の入力端子にセンサー等を接続すると、前記電界効果トランジスタと前記トランジスタが直列に接続されることになり、前記電界効果トランジスタと前記トランジスタを前記制御信号入力端子からの制御信号によって同時にオン・オフすることができるため、他の入力切換回路がオンになっていても、動作対象でない入力切換回路はオンにならない。

【0012】

【実施例】以下、本発明の一実施例について、図面を参照しながら説明する。図1は本実施例の入力切換回路の回路図及び周辺回路の構成図である。図1に於いて、4は入力切換回路であって、アナログスイッチとして動作するエンハンスメント型のNチャネルMOSFET111と、入力端子106とアース間に接続されたバイポーラトランジスタ102、入力端子105と直流電源を接続するプルアップ抵抗103、バイポーラトランジスタ102のベース電流を制限するベース抵抗104から構成され、出力端子107、制御入力端子108を有する。図示のように、MOSFET111はサブストレートがソースに内部で接続された一般的なエンハンスメントMOSFETである。2は例えば温度センサーとしてのサーミスタや光量センサーとしてのフォトダイオード等であって、入力端子105及び106間に接続されるセンサーである。3は制御回路、10は他の入力切換回路で、これらは図3の従来例で説明したものと同様である。

【0013】以上のように構成された本発明に係る入力切換回路について、以下その動作を説明する。全体の動作は従来例に於ける説明と同様であって、制御回路3か

らの信号により、検知すべきセンサーの対応する入力切換回路の制御入力端子18及び108の中の1個のみがハイレベルとなり、検知すべきセンサーに応じてオン状態にする入力切換回路を次々に切り換え、必要な検知信号が制御回路3へ出力される。

【0014】次に、本実施例の特徴である入力切換回路4について説明する。まず、制御入力端子108が0Vの時は、バイポーラトランジスタ102はカットオフとなり、MOSFET111のゲート電位は0である。出力端子107即ちMOSFET111のソースの電位が0Vより高く、直流電源電圧Vb未満の範囲であれば、MOSFET111のドレイン電位はソース電位よりも高く、かつソースに対するゲート電位は負となり、チャネルが形成されない。無論、MOSFET111のサブストレート・ドレイン間はドレインの方が高電位のために逆バイアスされているから、MOSFET111のサブストレート端子に電流が流れることはない。故に、ドレイン・ソース間のインピーダンスは高インピーダンスとなり、入力切換回路4はオフ状態となる。一方、制御入力端子108がVbの時は、バイポーラトランジスタ102がオンとなって入力端子105の電位はほぼセンサー2の両端に生じる電圧と等しくなると共に、MOSFET111のゲート電位がソース（サブストレート）よりも高くなってチャネルが形成される。故にドレイン・ソース間のインピーダンスは低インピーダンスとなり、入力切換回路4はオン状態となる。よって、センサー2の両端に生じた電圧が制御回路3へ伝達される。

【0015】以上のような構成をとることにより、動作対象である入力切換回路4がオンの時は当然入力端子105及び106に接続したセンサーに電流が流れ、入力切換回路4をオフにしたい場合は、他の入力切換回路10がオンの場合でも入力切換端子4に構成されているMOSFET111が導通してしまうことがないので、入力切換回路を正確に選択し、動作させることができる。

【0016】次に、図2は本発明の他の実施例に於ける入力切換回路の回路図である。図2に於いて、2はセンサー、111はMOSFET、102はバイポーラトランジスタ、103はプルアップ抵抗、104はベース抵抗、105及び106は入力端子、107は出力端子、108は制御入力端子であって、これらは図1で示した前述の実施例と同様のものである。109はフォトカブラで、1次側の発光ダイオードに電流を流して点灯させることにより、2次側のフォトトランジスタが導通するものである。110は絶縁電源で、MOSFET111のゲート駆動用の電源を供給する。

【0017】このように構成した入力切換回路5の動作を説明する。まず、制御入力端子108が0Vの時は、バイポーラトランジスタ102及びフォトカブラ109のフォトトランジスタはカットオフとなるので、MOSFET111のドレイン・ソース間にはチャネルが形成

されず、導通しない。無論、MOSFET111のサブストレート・ドレイン間は逆バイアスされているから、MOSFET111のサブストレート端子に電流が流れることはない。

【0018】一方、制御入力端子108がVbの時は、バイポーラトランジスタ102がオンとなって、入力端子105の電位はほぼセンサー2の両端に生じる電位と等しくなる。同時にフォトカプラ109のフォトトランジスタが導通するから、MOSFET111のソースに対するゲート電位は、ほぼ絶縁電源110の電圧となる。従って、入力切換回路5はオン状態となる。よって、センサー2の両端に生じた電圧が制御回路3へ伝達される。

【0019】一般に、MOSFET111のドレイン・ソース間電圧の最大定格は数百Vのものまで市販されているが、ゲート・ソース間電圧の最大定格は高いものでも20V程度である。よって、この場合はVbが高いような回路であっても、フォトカプラを介してゲートを駆動することにより、ゲート・ソース間電圧は絶縁電源110の電圧以下で駆動できる。また、0V/5Vといっ

*【0020】

【発明の効果】以上のような構成をとることにより、入力切換回路をオフにしているときはMOSFETとバイポーラトランジスタも同時にオフとなるため、ドレイン・アース間は高抵抗となり、サブストレート・ドレイン間は逆バイアスされるため、動作している他の入力切換回路の出力信号の影響を受けてサブストレート・ドレイン間が導通してしまうことがない。

【図面の簡単な説明】

10 【図1】本発明の一実施例に於ける入力切換回路の回路図及び周辺構成図

【図2】本発明の他の実施例に於ける入力切換回路の回路図

【図3】従来の入力切換回路の回路図及び周辺構成図

【符号の説明】

2 センサー

4 入力切換回路

102 バイポーラトランジスタ

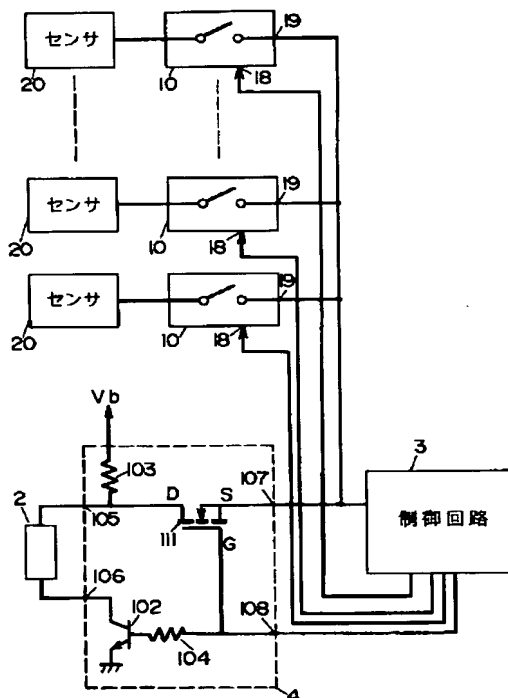
103 ブルアップ抵抗

105 入力端子

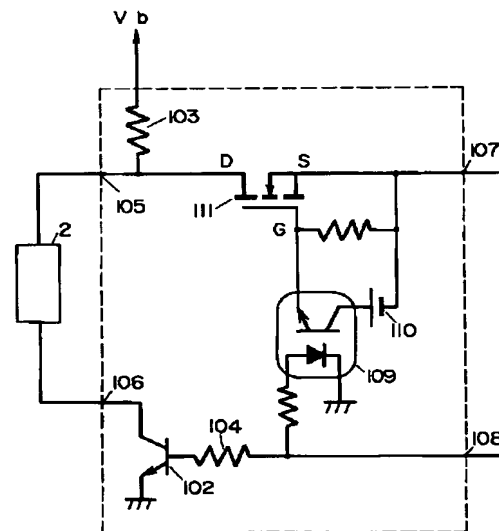
106 入力端子

111 電界効果トランジスタ

【図1】



【図2】



THIS PAGE BLANK (USPTO)